

09 036106

**BUNDESREPUBLIK DEUTSCHLAND**

**PRIORITY DOCUMENT**  
 SUBMITTED OR TRANSMITTED IN  
 COMPLIANCE WITH  
 RULE 17.1(a) OR (b)



REC'D 24 JUL 2000

WIPO PCT

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

DE 00/01647

**Aktenzeichen:** 199 35 442.1

**Anmeldetag:** 28. Juli 1999

**Anmelder/Inhaber:** Siemens Aktiengesellschaft,  
München/DE

**Bezeichnung:** Verfahren zum Herstellen eines Trench-MOS-  
Leistungstransistors

**IPC:** H 01 L 21/336

EJU

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Anmeldung.**

München, den 29. Juni 2000  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
 Im Auftrag

Hoiß

**This Page Blank (uspto)**

**Beschreibung**

Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors

5

Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen einer Trench-MOS-Leistungstransistors, bei dem in einen Halbleiterkörper wenigstens ein Graben eingebracht wird, der dann mit einem von der Grabeninnenfläche durch eine Isolierschicht getrennten leitenden Material wenigstens teilweise ausgefüllt wird, wobei die Isolierschicht so in den Graben eingebracht wird, daß diese im Bereich des unteren Endes des Grabens mit einer größeren Schichtdicke als an dessen oberem Ende versehen wird.

15

Für die Entwicklung von neuen Generationen von DMOS-Leistungstransistoren ist die Verringerung des spezifischen Einschaltwiderstandes von großer Bedeutung. Denn mit einer solchen Verringerung des spezifischen Einschaltwiderstandes ist es möglich, die statische Verlustleistung zu reduzieren und dabei höhere Stromdichten zu erreichen, so daß kleinere und billigere Chips für den gleichen Gesamtstrom eingesetzt werden können.

30

Aus diesem Grund wird schon seit längerem darüber nachgedacht, wie der spezifische Einschaltwiderstand in zweckmäßiger Weise vermindert werden kann. Grundsätzlich ist dies nun dadurch möglich, daß von einer planaren Zellenstruktur abgegangen wird und Trenchzellen verwendet werden. Durch den Einsatz von Trenchzellen kann nämlich der Kanalwiderstand eines MOS-Transistors durch eine deutliche Vergrößerung der Kanalweite pro Flächeneinheit vermindert werden. Der Widerstand der Driftstrecke, der auch als "Epiwiderstand" bezeichnet wird, da sich die Driftstrecke bevorzugt in einer auf einem Halbleitersubstrat aufgebrachten epitaktischen Schicht befindet, kann durch Verwendung von tiefen Trenches reduziert werden (vgl. hierzu US 4 941 026).

Tiefe Trenches setzen aber voraus, daß im unteren Bereich dieser Trenches eine dickere Isolierschicht, die hier auch als Feldplatte bezeichnet wird, als im oberen Bereich, d.h. 5 im Kanalbereich, mit dem eigentlichen Gateoxid verwendet wird.

Bei der Entwicklung von Trench-MOS-Leistungstransistoren ist die Erreichung der erforderlichen Gateoxidqualität eine besondere Herausforderung. Einerseits muß das Gateoxid auf den verschiedenen Kristallorientierungen aufgewachsen werden, weil auch der Trenchboden und die an der Oberfläche des Halbleiterkörpers liegende Kante bzw. Ecke mit einer Isolierschicht, also dem Gateoxid überzogen werden muß. Da die Geschwindigkeit des Oxidwachstums von der Kristallorientierung abhängt, führt dies zu einer ungewollten Verbreiterung der Dickenverteilung des Gateoxides über dem Trench. Die Oxidation von gekrümmten Siliziumflächen verursacht Dünningar im Gateoxid und Spitzen im Silizium des Halbleiterkörpers. Dies 10 wirkt sich wiederum negativ auf die elektrische Qualität des Gateoxides aus, weil die dünnteste Stelle die Durchbruchsfeldstärke bestimmt. Jedoch muß das leitende Gatematerial, insbesondere dotiertes Polysilizium, an irgendeiner Stelle über die Kante herausgeführt werden um dieses elektrisch anzuschließen. Das Gateoxid ist an dieser Stelle besonders durchbruchsgefährdet. 15 20 25

Ein weiteres Ziel bei der Entwicklung von Trench-MOS-Leistungstransistoren ist es, die elektrischen Feldspitzen im Sperrfall so zu modulieren, daß die Lawinenmultiplikation im Halbleiterkörper und nicht an einer Grenzfläche eintritt. Der Avalanche Durchbruch an der Grenzfläche zwischen Halbleiterkörper und Gateoxid würde nämlich zur Injektion von heißen Ladungsträgern ins Gateoxid und somit einem Driften des Bauelementes führen. 30 35

Die bisherigen Verfahren zum Herstellen derartiger Trench-MOS-Leistungstransistorzellen, bei denen eine Isolierschicht im unteren Bereich des Trenchs dicker ist als im oberen Bereich, sind relativ aufwendig.

5

Ein Beispiel hierfür ist in der US 5 326 711 beschrieben: bei diesem bekannten Verfahren sind beispielsweise insgesamt drei Abscheidungen von polykristallinem Silizium im Herstellungsprozeß erforderlich, um den Trench in der gewünschten Weise zu gestalten.

10

Bei einem aus EP 0 666 590 A2 bzw. US 5 783 491 bekannten Verfahren wird die Qualität des Gatedielektrikums mittels zweimaliger Oxidation ("Sacrificial oxide") und Abätzung des Oxi ds verbessert. Damit wird eine gewisse Verrundung der Siliziumkanten erreicht.

15

Es ist daher Aufgabe der vorliegenden Erfindung, ein Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors anzugeben, mit dem ein Trench mit dickerer Isolierschicht in einem unteren Bereich als in einem oberen Bereich auf einfache Weise herzustellen ist.

20

Diese Aufgabe wird bei einem Verfahren zum Herstellen eines Trench-MOS-Leitungstransistors, bei dem in einen Halbleiterkörper wenigstens ein Graben eingebracht wird, der dann mit einem von der Grabeninnenfläche durch eine Isolierschicht getrennten leitenden Material wenigstens teilweise ausgefüllt wird, wobei die Isolierschicht so in den Graben eingebracht wird, daß diese im Bereich des unteren Endes des Grabens mit einer größeren Schichtdicke als an dessen oberen Ende versehen wird, erfindungsgemäß dadurch gelöst, daß

- (a) in den Halbleiterkörper der wenigstens eine Graben eingebracht wird,
- (b) die Wände und der Boden des Grabens mit einem ersten Isolierfilm belegt werden,

30

35

- (c) das untere Ende des Grabens mit einer ersten Hilfsschicht gefüllt wird,
  - (d) die nicht mit der ersten Hilfsschicht belegten Teile des ersten Isolierfilms entfernt werden,
- 5 (e) die Hilfsschicht entfernt wird,
- (f) ein zweiter Isolierfilm, der dünner als die Enddicke des ersten Isolierfilmes ist, auf den freiliegenden Wänden des Grabens aufgewachsen wird,
  - (g) der Graben mit dem leitenden Material gefüllt wird und
- 10 (f) Source- und Bodyzonen in den Halbleiterkörper eingebracht und Metallisierungen zur Kontaktierung dieser Zonen angebracht werden.

Soll in bestimmten Bereichen die Entfernung des ersten Isolierfilms verhindert werden, was am Rand der Fall sein kann, so wird in diesen Bereichen eine weitere Hilfsschicht als Maskierung aufgetragen. Auch kann von der angegebenen Reihenfolge abgewichen werden, indem beispielsweise die Source- und Bodyzonen zuerst erstellt werden.

20 Mit dem erfundungsgemäßen Verfahren wird eine Struktur vorgeschlagen, die sowohl die kritischen Stellen hinsichtlich Gateoxidqualität entschärft, als auch im aktiven Bereich eine Modulation der Feldverteilung mittels Trench-Feldplatte 25 zuläßt. Im oberen Teil eines Trenches befindet sich die eigentliche MOS-Struktur des Transistors mit dem Gateoxid. Im unteren Teil des Trenches ist das Dielektrikum (Feldplatte) dicker als das Gateoxid. Dadurch kann über dem Dielektrikum eine höhere Spannung abfallen, was tiefere Trenches und einen niedrigeren Einschaltwiderstand Ron erlaubt. Der Übergang zwischen Gateoxid und Feldplattenoxid ist vorzugsweise graduert. Ein abrupter Übergang würde zu ungünstigen Feldspitzen im Silizium führen. Die Trenches können sowohl in Zellen, Streifen als auch in beliebigen anderen geometrischen Formen 30 angeordnet sein.

Im obigen Schritt (c) kann der Graben auch mit der ersten Hilfsschicht gefüllt und rückgeätzt werden, so daß die erste Hilfsschicht am unteren Ende des Grabens zurückbleibt.

- 5 Das Gatematerial wird über Dickoxid an die Oberfläche des Halbleiterkörpers geführt, was bedeutet, daß die elektrische Feldstärke im Oxid an kritischen Kanten entschärft ist.

10 Für den Halbleiterkörper kann in bevorzugter Weise ein hoch mit Bor dotiertes Siliziumsubstrat als Ausgangsmaterial verwendet werden, auf das eine p-leitende epitaktische Schicht mit einer Dotierstoffkonzentration von  $1 \times 10^{14}$  bis  $1 \times 10^{18}$  Ladungsträger  $\text{cm}^{-3}$  abgeschieden wird. Das Ätzen der Trenches kann dann in üblicher Weise mit Hilfe einer strukturierten Trenchmaske, die beispielsweise aus Siliziumdioxid besteht, vorgenommen werden. Nach dem Herstellen der Trenches wird diese Trenchmaske entfernt.

20 Die Trenches selbst können als Streifen oder auch als Gitter für eine Zellenstruktur ausgeführt werden. Die Weite der Trenches sollte dabei größer als die doppelte Breite eines später aufgetragenen ersten Isolierfilmes aus beispielsweise Siliziumdioxid (Feldoxid) sein.

25 Dieser erste Isolierfilm wird mit einer Schichtdicke aufgetragen, die von der Spannungsklasse abhängt, für die die Trench-MOS-Transistorzelle eingesetzt werden soll. Die Schichtdicken können dabei von Bereichen unterhalb  $0,1 \mu\text{m}$  bis einige  $\mu\text{m}$  reichen. Sollen Stufen des Isolierfilmes an dessen späterem oberen Rand vermieden werden, so ist es zweckmäßig, 30 für den ersten Isolierfilm ein Mehrschichtsystem einzusetzen, also den ersten Isolierfilm aus mehreren Schichten aus beispielsweise thermischem Siliziumdioxid durch thermische Oxidation des trenchgeätzten Halbleiterkörpers und einem abgeschiedenen Siliziumdioxid (TEOS), zu gestalten. Diese Materialien können alternativ auch für den ersten Isolierfilm verwendet werden, wenn dieser aus nur einer Schicht besteht.

Für die erste Hilfsschicht kann in vorteilhafter Weise beispielweise Photolack eingesetzt werden, der zunächst bis über die Silizium-Kante des Halbleiterkörpers reicht und dann 5 in den Trenches bis unter die sogenannte "Bodyunterkante", einer n-leitenden Wanne in der p-leitenden epitaktischen Schicht, rückgeätzt wird. Bei Verwendung von Photolack für die Hilfsschicht wird vorzugsweise eine Temperaturbehandlung ("postbake") vorgenommen.

10

Sollen inaktive Trenches erzeugt werden, so können die entsprechenden Bereiche des ersten Isolierfilmes mit einer weiteren Hilfsschicht maskiert werden. Für diese weitere Hilfs- schicht kann beispielsweise Photolack verwendet werden.

15

Nach Auftragen der Hilfsschicht wird der erste Isolierfilm beispielweise auf naßchemischem Wege isotrop geätzt, so daß dieser erste Isolierfilm lediglich unter der ersten Hilfs- schicht zurückbleibt. Anschließend wird die erste Hilfs- 20 schicht entfernt. Sodann wird die Gate-Isolierschicht aus beispielweise Siliziumdioxid, das sogenannte Gateoxid, auf- gewachsen, dessen Schichtdicke abhängig von der beabsichtigten Einsatzspannung der Trench-MOS-Transistorzelle zwischen einigen wenigen nm bis über 100 nm beträgt. Wichtig ist aber, 25 daß diese Gate-Isolierschicht, die den zweiten Isolierfilm bildet, dünner als die Enddicke des Isolierfilmes ist.

Die weitere Herstellung der Trench-MOS-Transistorzelle erfolgt, von einer Ausnahme abgesehen, in üblicher Weise:

30

Das Bodygebiet wird, maskiert durch den ersten Isolierfilm oder durch eine eigene Phototechnik, implantiert und ausdif- fundiert. Sodann wird das Gatematerial, insbesondere polykri- stallines Silizium abgeschieden und dotiert. Nach einem 35 strukturierten Zurückätzen des Gatematerials bis unter die Siliziumoberkante des Halbleiterkörpers kann gegebenenfalls eine Versiegelung des Gatematerials mit einer Isolierschicht

aus Siliziumdioxid folgen, um eine Ausdiffusion von Dotierstoffen zu verhindern. Diese Reihenfolge von Diffusion des Bodygebietes und Strukturieren bzw. Versiegeln des Gatematerials könnte gegebenenfalls auch geändert, d.h. umgekehrt

5 werden.

Es ist nun vorteilhaft, wenn eine sogenannte "Bodyverstärkung" eingebracht wird. Dies geschieht in bevorzugter Weise durch Implantation einer n<sup>+</sup>-leitenden Zone im n-leitenden Bodybereich, wenn das Halbleitersubstrat p-leitend ist. Selbstverständlich können die jeweiligen Leitungstypen auch umgekehrt sein. Diese Bodyverstärkung bewirkt eine Verminderung der Durchbruchsspannung der MOS-Transistorzelle an der Stufe zwischen dem ersten dickeren Isolierfilm und dem zweiten dünneren Isolierfilm, d.h. an der sogenannten Oxidstufe im Trench. Eine bevorzugte Dotierstoffkonzentration für die Bodyverstärkung beträgt etwa  $1 \times 10^{18}$  Ladungsträger cm<sup>-3</sup>.

Die Bodyverstärkung und weitere Dotierungen können auch zu einem anderen Zeitpunkt, beispielsweise am Anfang des Prozesses, eingebracht werden.

Es schließt sich sodann eine Implantation der Sourcezone an, wobei diese Implantation durch den ersten Isolierfilm oder eine eigene Phototechnik maskiert sein kann. Nach Abscheiden eines Dielektrikums aus beispielsweise Siliziumdioxid zur Isolation von Gate und Sourcingemetallisierung wird ein Ätzen der Kontaktlöcher vorgenommen.

30 Nach einer maskierten Implantation eines n<sup>++</sup>-leitenden Bodykontaktes, die gegebenenfalls für jede Trench-MOS-Transistorzelle vorgenommen wird, folgt die übliche Metallabscheidung mit beispielsweise Aluminium für die Sourcezone und den Bodykontakt. Die durch die Metallabscheidung aufgetragene Metallisierung wird sodann strukturiert, worauf noch eine Passivierung folgen kann.

Zusammenfassend ermöglicht die Erfindung insbesondere die folgenden Vorteile:

- gute Gateoxidqualität durch Entschärfung von Kanten und Ecken; es wird an keiner Stelle des Transistors Gatematerial über Gateoxid an kritischen Kanten geführt;
- dickes Oxid des ersten Isolierfilmes im Boden des Trenches um hohen Drain-Gate-Spannungen standzuhalten;
- abgestufter Übergang von erstem und zweitem Isolierfilm entlang eines Trenches für hohe Spannungen am Rand; und
- Feldplattenwirkung durch den tiefen Trench zur Verringerung des Ron-Anteiles der Body- bzw. Driftzone.

Nachfolgend wird die Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

- Fig. 1 bis 7 verschiedene Schnitte, die den Ablauf des erfindungsgemäßen Verfahrens nach einem ersten Ausführungsbeispiel veranschaulichen,
- Fig. 8 bis 10 verschiedene Schnitte, die den Ablauf des erfindungsgemäßen Verfahrens nach einem zweiten Ausführungsbeispiel veranschaulichen,
- Fig. 11 und 12 zwei verschiedene Schnitte, die den Ablauf des erfindungsgemäßen Verfahrens nach einem dritten Ausführungsbeispiel veranschaulichen,
- Fig. 13 und 14 verschiedene Schnitte, die den Ablauf des erfindungsgemäßen Verfahrens nach einem vierten Ausführungsbeispiel veranschaulichen, und

Fig. 15 bis 17 verschiedene Schnitte, die den Ablauf des erfundungsgemäßen Verfahrens nach einem fünften Ausführungsbeispiel veranschaulichen.

5 Fig. 1 zeigt ein p<sup>+</sup>-leitendes Siliziumsubstrat 1, auf das epitaktisch eine p-leitende Siliziumschicht 3 aufgetragen wird, in die mit Hilfe einer Siliziumdioxidschicht 4 oder einem anderen geeigneten Material als Maske Gräben 2 eingeätzt werden, die im wesentlichen bis zu dem Siliziumsubstrat 1 reichen und in dieses eindringen können. Jedoch sind auch geringere Tiefen der Gräben 2 möglich.  
10

15 Es kann auch gegebenenfalls ein Opferoxid (sacrificial oxide) zur Erhöhung der Grenzflächenbeweglichkeit aufgebracht und dann wieder entfernt werden.

Das Siliziumsubstrat 1 und die Schicht 3 können beide mit Bor dotiert sein, wobei die Dotierstoffkonzentration in der Schicht 3 etwa  $1 \times 10^{14}$  bis  $1 \times 10^{18}$  Ladungsträger cm<sup>-3</sup> beträgt.  
20

Nach Ätzen der Gräben 2 wird die als Trenchmaske dienende Siliziumdioxidschicht 4 entfernt.

Sodann wird ein erster Siliziumdioxidfilm 5 als Feldoxid mit einer Schichtdicke abgeschieden, die von der angestrebten Spannungsklasse für die MOS-Transistorzelle abhängt, wie dies oben erläutert wurde. Bevorzugte Schichtdicken liegen zwischen 0,1 µm bis einigen µm. Zur Vermeidung von Oxidstufen (vgl. oben) und zur Erzeugung von flach ansteigenden Oxidkanten können für das Feldoxid auch mehrere Schichten aus beispielsweise thermisch oxidiertem Siliziumdioxid durch Oxidation des trenchgeätzten Halbleiterkörpers und abgeschiedenem Siliziumdioxid (TEOS bzw. LPCVD-Oxid) vorgesehen werden.  
30

35 Die gewünschte Anschrägung des Oxides bzw. der graduierte Übergang von Gateoxid auf Feldplattenoxid ergibt sich durch

die höhere naßchemische Ätzrate des LPCVD-Oxides gegenüber dem thermischen Oxid. Die Dicke der beiden Schichten wird so gewählt, daß das Oxid im Trenchboden den Spannungsanforderungen des Transistors standhält.

5

Sodann wird eine Hilfsschicht 6 aus beispielsweise Photolack bis über die Kante des Halbleiterkörpers aufgetragen, gehärtet und rückgeätzt, so daß in den Gräben 2 nur "Stöpsel" unter der Bodyunterkante zurückbleiben. Bei Verwendung von Photolack für die Hilfsschicht 6 schließt sich eine Temperaturbehandlung ("postbake") an. Damit wird die in Fig. 2 gezeigte Struktur erhalten.

10

Für beispielsweise eine Randkonstruktion kann sodann eine zusätzliche Maskierung mittels einer weiteren Hilfsschicht 7 aus Photolack, der belichtet und entwickelt wird, vorgenommen werden, wodurch bei einer anschließenden Rückätzung das Feldoxid 5 unterhalb dieser weiteren Hilfsschicht 7 zurückbleibt.

20

Es schließt sich, sodann eine isotrope, naßchemische Ätzung des Feldoxids 5 an, so daß dieses in den von der weiteren Hilfsschicht 7 freiliegenden Bereichen nur unterhalb der Hilfsschicht 6 zurückbleibt. Damit wird die in Fig. 3 gezeigte Struktur erhalten.

25

Die beiden Trenches unterhalb der Hilfsschicht 7 sind sogenannte "inaktive" Trenches im Gegensatz zu den übrigen, "aktiven" Trenches. Die inaktiven Trenches dienen beispielsweise zum elektrischen Anschließen der Gates, als Gatefinger und - wie bereits erwähnt - für die Randkonstruktion.

Es werden sodann die beiden Hilfsschichten 6 und 7 entfernt, d.h., der Photolack wird abgetragen.

35

Anschließend wird ein Gate-Isolierfilm 5' aus Siliziumdioxid aufgewachsen, der dünner als der erste Isolierfilm 5 ist, so daß in den Gräben 2 eine Stufe ("Oxidstufe") 33 entsteht.

Diese Stufe 33 kann abgeschrägt sein, wenn für den ersten Isolierfilm 5 mehrere Schichten verwendet werden, wie dies oben erläutert wurde. Der Winkel der abgeschrägten Stufe 20 zur Senkrechten kann beispielsweise  $17^\circ$  betragen. Selbstverständlich sind aber auch andere Winkel möglich.

Die Gate-Isolierschicht 5' wird abhängig von der beabsichtigten Einsatzspannung der Trench-MOS-Transistorzelle mit einer Schichtdicke von einigen wenigen nm bis über 100 nm versehen. Jedenfalls ist aber die Schichtdicke der Gate-Isolierschicht 5' geringer als die Enddicke des ersten Isolierfilmes 5.

Es schließt sich sodann eine Implantation und Ausdiffusion eines n-leitenden Bodygebietes 9 an, wobei diese Implantation durch das Feldoxid 5 bzw. 5' oder durch eine eigene Phototechnik maskiert sein kann. Sodann wird Gatematerial 8 aus beispielsweise polykristallinem Silizium abgeschieden und dotiert, wodurch die in Fig. 4 gezeigte Struktur erhalten wird.

Das Gatematerial 8 wird sodann mit Hilfe einer Maskierungsschicht 10 aus beispielsweise Photolack strukturiert bis unter die Siliziumoberkante rückgeätzt, so daß die in Fig. 5 dargestellte Struktur entsteht.

Nach Entfernen der Maskierungsschicht 10 kann eine Versiegelung des polykristallinen Materials 8 mit Hilfe beispielsweise einer in den Zeichnungen nicht gezeigten dünnen Siliziumdioxidschicht vorgenommen werden, um eine Ausdiffusion von Dotierstoffen aus dem polykristallinen Material 8 zu verhindern. Es schließen sich sodann das Auftragen einer Fotolackschicht 11 mit unkritischer Flanke über dem in Fig. 6 linken polykristallinen Material 8 sowie eine Implantation und gegebenenfalls ein Ausheilen einer n<sup>+</sup>-leitenden Bodyverstärkungszone 12 im Bereich der Oxidstufe 33 an, um die Durchbruchsspannung der Trench-MOS-Transistorzelle unter die Durchbruchsspannung an der Oxidstufe 33 im Graben 2 zu senken. Die Dotierstoffkonzentration in dieser Zone 12 beträgt vorzugs-

weise etwa  $1 \times 10^{18}$  Ladungsträger  $\text{cm}^{-3}$ . Damit liegt die in Fig. 6 gezeigte Struktur vor.

Schließlich werden, maskiert durch das Feldoxid oder durch  
5 eine eigene Phototechnik, noch eine p<sup>++</sup>-leitende Sourcezone  
18 und eine p<sup>++</sup>-leitende Diffusionszone 19 eingebracht. So-  
dann wird eine Isolierschicht 17 aus Borphosphorsilikatglas  
18 aufgetragen, verdichtet und durch Ätzen von Kontaktlöchern  
strukturiert. Nach maskiertem Implantieren einer n<sup>++</sup>-leiten-  
10 den Bodykontaktzone 16 werden eine Metallisierung (Elektrode)  
13 für Source, eine Metallisierung (Elektrode) 14 für Gate  
und eine Metallisierung 15 abgeschieden und strukturiert, wo-  
durch nach einer Passivierung schließlich die in Fig. 7 ge-  
zeigte Struktur erhalten wird.

15

Die Fig. 8 bis 10 zeigen eine Variante des erfindungsgemäßen Verfahrens, bei der nach Auftragen des ersten Isolierfilms 5 und vor Anbringen der Hilfsschicht 6 eine dünne Siliziumnitridschicht mit einer Schichtdicke von beispielsweise 20 nm 20 auf dem Isolierfilm 5 aufgetragen (vgl. Fig. 8) und mit Hilfe einer Lackschicht 21 strukturiert wird, so daß die Siliziumnitridschicht 20 lediglich in den Bereichen unterhalb der Lackschicht 21 zurückbleibt. Damit wird erreicht, daß die Siliziumnitridschicht 20 lediglich im Bereich der inaktiven Trenches zurückbleibt. Nach einem Belacken und Rückätzen wird 25 die in Fig. 9 gezeigte Anordnung erhalten, bei der die Hilfsschicht 6 aus Lackstöpseln in den Trenches verbleibt.

Bei einer nachfolgenden naßchemischen Siliziumoxidätzung wird  
30 der Isolierfilm 5 aus Siliziumdioxid in den Trenchböden der aktiven Trenches durch die Hilfsschicht 6 und die gesamten inaktiven Trenches mittels der Siliziumnitridschicht 20 maskiert. Nach Entfernen der Siliziumnitridschicht 20 und der Hilfsschicht 6 ist das Prozeßergebnis das gleiche wie bei dem 35 ersten Ausführungsbeispiel vor Anbringen des zweiten Isolierfilms 5'.

Die Fig. 11 und 12 veranschaulichen ein drittes Ausführungsbeispiel des erfindungsgemäßen Verfahrens, bei dem die Strukturierung des ersten Isolierfilmes 5 in den aktiven Trenches und den inaktiven Trenches mittels einer einzigen Phototechnik vorgenommen wird. Hier wird eine Lackschicht 23 mit einer Schichtdicke von beispielsweise 4 µm mittels einer Maske 22 nur bis in eine bestimmte Tiefe (vgl. die Strichlinie 24) belichtet. Der belichtete Teil der Lackschicht 23 wird entfernt. Nach einem weiteren Abtragen des Oberflächenbereiches der Lackschicht 23 verbleiben lediglich Lackstöpsel 26 als Hilfsschicht 6 und eine Lackschicht 25 mit einer Schichtdicke von etwa 1,5 µm über den inaktiven Trenches zurück. Dieser weitere Abtragungsprozeß der Lackschicht 23 zur Gewinnung der Lackstöpsel 26 und der Lackschicht 25 kann beispielsweise durch eine Plasmarückätzung erfolgen (vgl. Fig. 12). Anstelle einer solchen Plasmarückätzung kann gegebenenfalls auch eine Trockenentwicklung vorgenommen werden.

Die Fig. 13 und 14 zeigen Schnitte zur Veranschaulichung einer weiteren Variante des erfindungsgemäßen Verfahrens gemäß einem vierten Ausführungsbeispiel. Bei diesem Ausführungsbeispiel werden mittels einer ersten Photolackschicht 31 inaktive Trenches abgedeckt, während mit Hilfe einer zweiten Photolackschicht 32 die notwendige Topographie, d.h. Strukturierung des ersten Isolierfilmes 5 vorgenommen wird. Damit wird eine Anordnung erhalten, bei der die Hilfsschicht 6 in der Form von Lackstöpseln in den aktiven Trenches verbleibt, während die inaktiven Trenches mit der Photolackschicht 31 gefüllt sind. Nach Entfernen der Hilfsschicht 6 und der Reste der Photolackschichten 31 und 32 erfolgt die Weiterverarbeitung wie in dem ersten Ausführungsbeispiel.

Die Fig. 15 bis 17 zeigen schließlich Schnitte zur Erläuterung einer weiteren Variante des erfindungsgemäßen Verfahrens in einem fünften Ausführungsbeispiel, das zu dem vierten Ausführungsbeispiel ähnlich ist: auch hier werden zwei Phototechniken verwendet, jedoch wird hier eine strukturierende

Photolackschicht 28 mit einer Schichtdicke von etwa 3 µm erst nach Auftragen einer Photolackschicht 27 mit einer Schichtdicke von etwa 1 µm erzeugt. Die so erhaltene Struktur ist in Fig. 16 gezeigt. Nach Entfernen von wesentlichen Teilen der Photolackschicht 28 und der Photolackschicht 27 verbleiben lediglich Photolackschichten 29 (als Rest der Photolack-schicht 28) und 30 (als Rest der Photolackschicht 27), so daß die in Fig. 17 gezeigte Anordnung vorliegt. Dieses Entfernen von wesentlichen Teilen der Photolackschichten 27 und 28 kann wieder durch Plasmarückätzung oder Trockenentwicklung erfolgen. Schließlich werden die verbleibenden Teile 29 und 30 der Photolackschichten 28 und 27 abgetragen, um die dann erhaltene Anordnung in der gleichen Weise wie beim ersten Ausführungsbeispiel weiterzuverarbeiten.

## Patentansprüche

1. Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors, bei dem in einen Halbleiterkörper (1, 3) wenigstens ein Graben (2) eingebracht wird, der dann mit einem von der Grabeninnenfläche durch eine Isolierschicht (5, 5') getrennten leitenden Material (8) wenigstens teilweise ausgefüllt wird, wobei die Isolierschicht (5, 5') so in den Graben (2) eingebracht wird, daß diese im Bereich des unteren Endes des Grabens (2) mit einer größeren Schichtdicke als an dessen oberen Ende versehen wird,  
d a d u r c h g e k e n n z e i c h n e t , daß
  - (a) in den Halbleiterkörper (1, 3) der wenigstens eine Graben (2) eingebracht wird,
  - (b) die Wände und der Boden des Grabens mit einem ersten Isolierfilm (5) belegt werden,
  - (c) das untere Ende des Grabens (2) mit einer ersten Hilfsschicht (6) gefüllt wird,
  - (d) die nicht mit der ersten Hilfsschicht (6) belegten Teile des ersten Isolierfilms (5) entfernt werden,
  - (e) die Hilfsschicht (6) entfernt wird,
  - (f) ein zweiter Isolierfilm (5'), der dünner als die Enddicke des ersten Isolierfilmes (5) ist, auf den frei liegenden Wänden des Grabens (2) aufgewachsen wird,
  - (g) der Graben mit dem leitenden Material (8) gefüllt wird und
  - (h) Source- und Bodyzonen (19) in den Halbleiterkörper (1, 3) eingebracht und Metallisierungen (13, 14, 15) zur Kontaktierung angebracht werden.
2. Verfahren nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t , daß der Graben (2) in eine auf einem Halbleitersubstrat (1) vorgesehene epitaktische Schicht (3) eingebracht wird.
3. Verfahren nach Anspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t , daß

die epitaktische Schicht (3) mit einer Dotierstoffkonzentration von  $1 \times 10^{14}$  bis  $1 \times 10^{18}$  Ladungsträger  $\text{cm}^{-3}$  versehen wird.

- 5 4. Verfahren nach einem der Ansprüche 1 bis 3,  
durch gekennzeichnet, daß die Gräben (2) streifen- oder gitterförmig in den Halbleiterkörper (1, 3) eingebracht werden.
- 10 5. Verfahren nach einem der Ansprüche 1 bis 4,  
durch gekennzeichnet, daß der erste Isolierfilm (5) mit einer Schichtdicke von etwa 0,1  $\mu\text{m}$  bis einigen  $\mu\text{m}$  aufgetragen wird.
- 15 6. Verfahren nach einem der Ansprüche 1 bis 5,  
durch gekennzeichnet, daß der erste Isolierfilm (5) eine mehrere Schichten aufgetragen wird.
- 20 7. Verfahren nach einem der Ansprüche 1 bis 6,  
durch gekennzeichnet, daß für die erste Hilfsschicht (6) ein Photolack verwendet wird.
- 25 8. Verfahren nach einem der Ansprüche 1 bis 7,  
durch gekennzeichnet, daß für eine Randkonstruktion als zusätzliche Maskierung eine weitere Hilfsschicht (7) aufgetragen wird, welche die Entfernung des ersten Isolierfilmes (5) in den maskierten Bereichen verhindert.
- 30 9. Verfahren nach einem der Ansprüche 1 bis 8,  
durch gekennzeichnet, daß der zweite Isolierfilm mit einer Schichtdicke von einigen nm bis über 100 nm aufgetragen wird.

10. Verfahren nach einem der Ansprüche 1 bis 9,  
d a d u r c h g e k e n n z e i c h n e t , daß  
in ein Bodygebiet (9) eine Verstärkung (12) eingebracht  
wird.

5

11. Verfahren nach Anspruch 10,  
d a d u r c h g e k e n n z e i c h n e t , daß  
die Verstärkung (12) implantiert wird.

10 12. Verfahren nach einem der Ansprüche 1 bis 11,  
d a d u r c h g e k e n n z e i c h n e t , daß  
nach Belegen der Wände und des Bodens des Grabens mit dem  
ersten Isolierfilm (5) eine Siliziumnitridschicht (20)  
auf dem ersten Isolierfilm (5) aufgetragen und struktu-  
riert wird.

15

13. Verfahren nach Anspruch 12,  
d a d u r c h g e k e n n z e i c h n e t , daß  
die Siliziumnitridschicht (20) mit einer Schichtdicke von  
etwa 20 nm versehen wird.

20

14. Verfahren nach einem der Ansprüche 1 bis 11,  
d a d u r c h g e k e n n z e i c h n e t , daß  
die Hilfsschicht (6 bzw. 26) und Strukturierung des er-  
sten Isolierfilmes (5) mit Hilfe einer einzigen Photo-  
lackschicht (23), die über eine Maske (22) nur bis in ei-  
ne vorgegebene Tiefe (24) belichtet wird, vorgenommen  
wird.

30

15. Verfahren nach einem der Ansprüche 1 bis 11,  
d a d u r c h g e k e n n z e i c h n e t , daß  
inaktive Gräben mittels einer ersten Photolackschicht  
(31) abgedeckt werden und eine Strukturierung des ersten  
Isolierfilmes (5) mittels einer zweiten Photolackschicht  
(32) vorgenommen wird.

35

16. Verfahren nach Anspruch 14,

d a d u r c h g e k e n n z e i c h n e t , daß  
die strukturierende Photolackschicht (32) nach der abdek-  
kenden Photolackschicht (31) aufgetragen wird.

Zusammenfassung

Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors

5

Die Erfindung betrifft ein Verfahren zum Herstellen eines Trench-MOS-Leistungstransistors, bei dem mittels einer Hilfschicht (6) in einem Graben (2) einer epitaktischen Schicht (3) eine Oxidstufe (20) zwischen einer dickeren Oxidschicht (5) und einer dünneren Oxidschicht (5') erzeugt wird.

10

Fig. 4

## Bezugszeichenliste

- 1 Halbleitersubstrat
- 2 Graben
- 3 ~~epitaktische Schicht~~
- 5 4 Siliziumdioxidschicht (Trennoxid)
- 5 5 erster Isolierfilm aus Siliziumdioxid
- 5 6 zweiter Isolierfilm aus Siliziumdioxid
- 6 Hilfsschicht aus Photolack
- 7 Hilfsschicht aus Photolack
- 10 8 polykristallines Siliziummaterial
- 9 n-leitender Bereich
- 10 Maskierschicht
- 11 Photolackschicht
- 12 Bodyverstärkungszone
- 15 13 Sourceelektrode
- 14 Gateelektrode
- 15 Metallisierung
- 16 Bodykontaktzone
- 17 Isolierschicht aus Borphosphorsilikatglas
- 20 18 Sourcezone
- 19 Diffusionszone
- 20 Siliziumnitridschicht
- 21 Photolackschicht
- 22 Maske
- 25 23 Photolackschicht
- 24 Strichlinie
- 25 Photolackschicht
- 26 Reste der Photolackschicht bzw. Lackstöpsel
- 27 Photolackschicht
- 30 28 Photolackschicht
- 29 Rest der Photolackschicht 28
- 30 Rest der Photolackschicht 27
- 31 Photolackschicht
- 32 Photolackschicht
- 35 33 Oxidstufe

1/3

Fig. 1

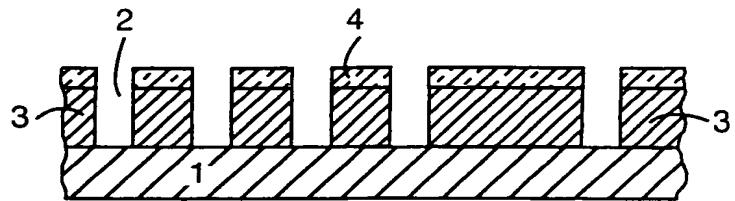


Fig. 2

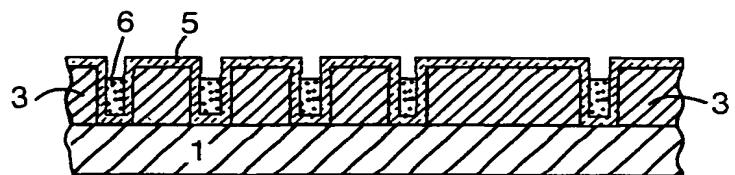


Fig. 3

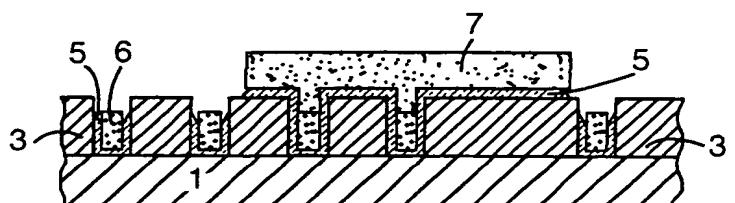


Fig. 4

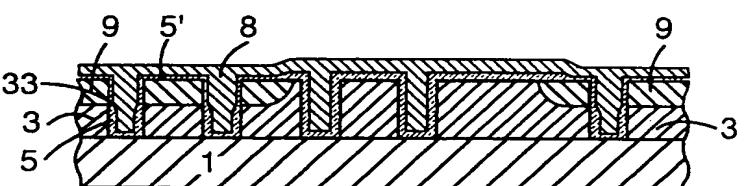


Fig. 5

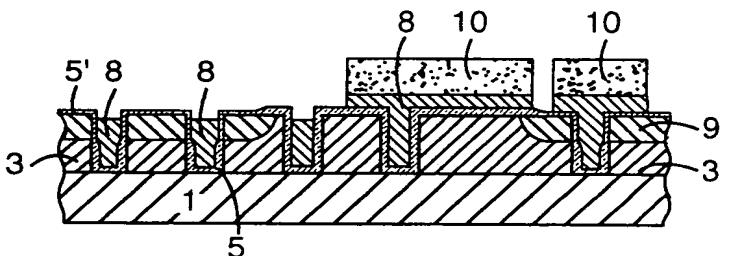


Fig. 6

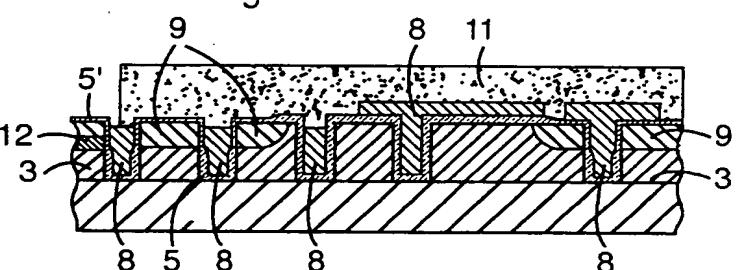
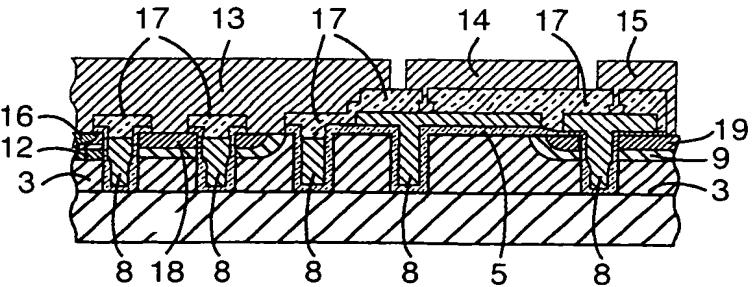


Fig. 7



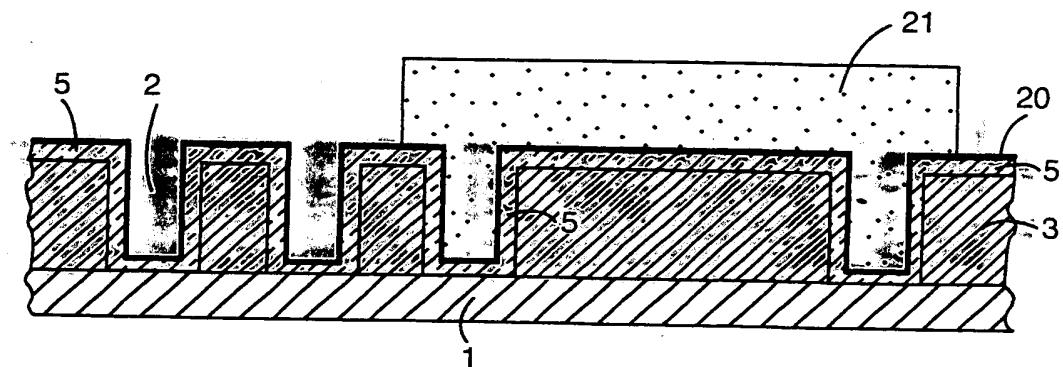


Fig. 8

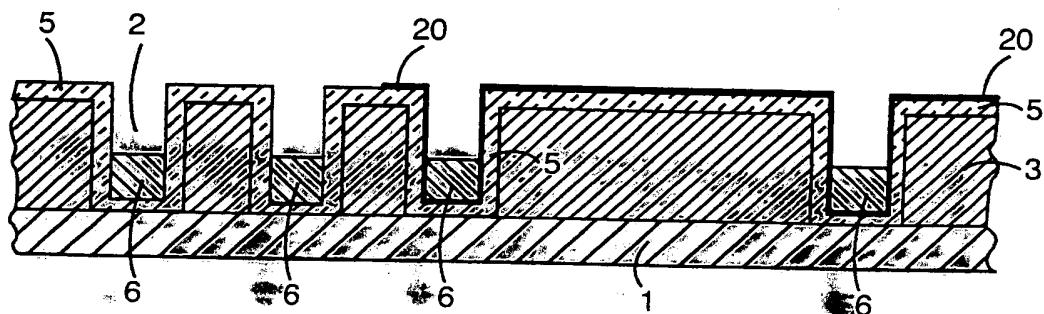


Fig. 9

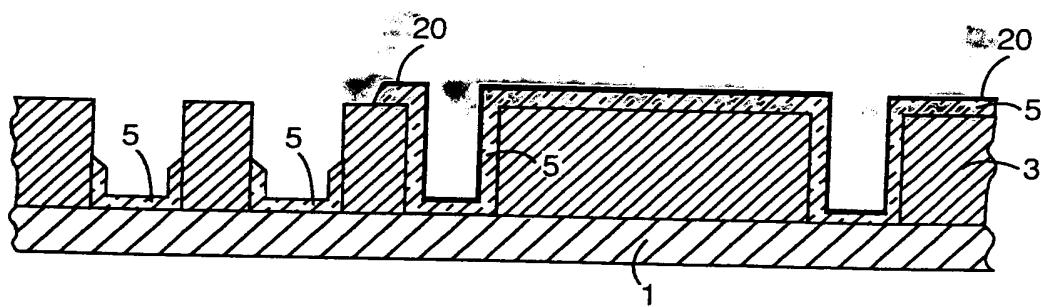


Fig. 10

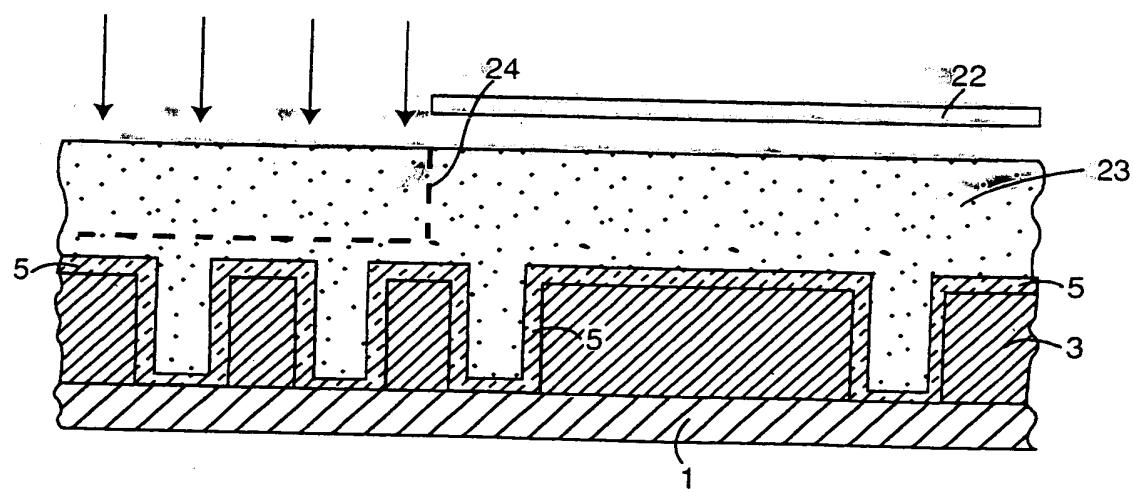


Fig. 11

3/3

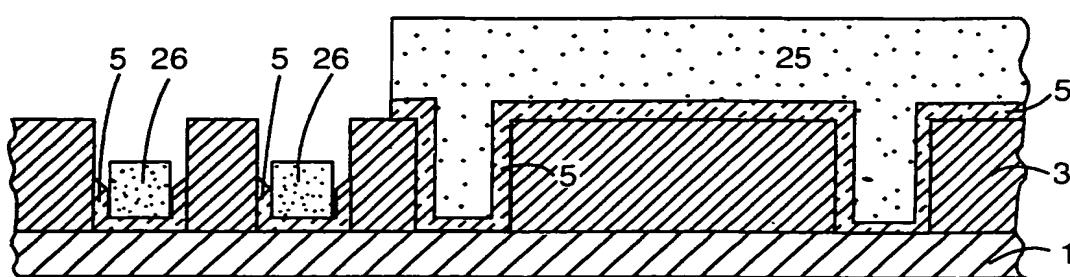


Fig. 12

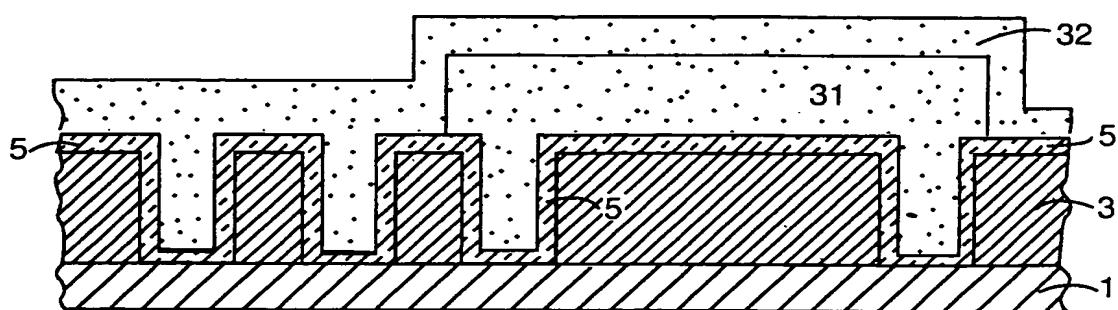


Fig. 13

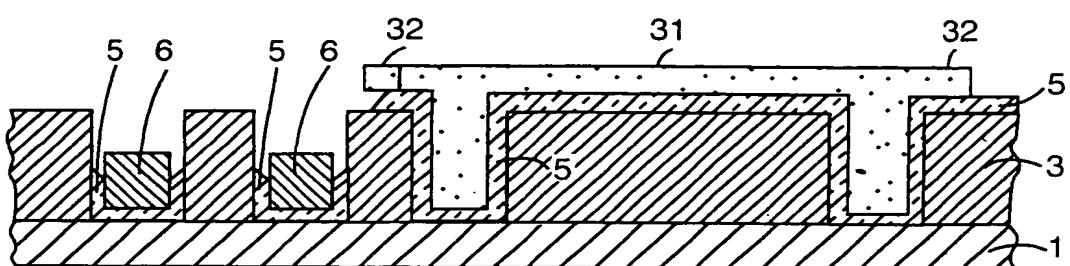


Fig. 14

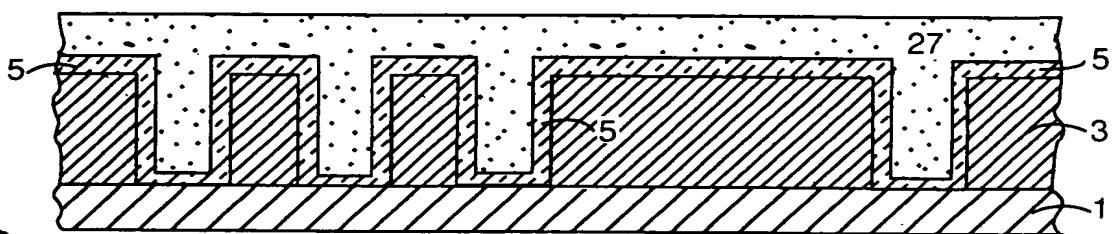


Fig. 15

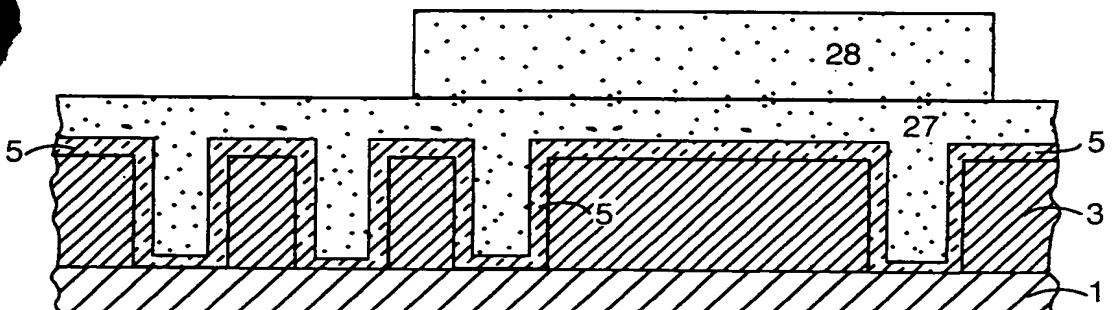


Fig. 16

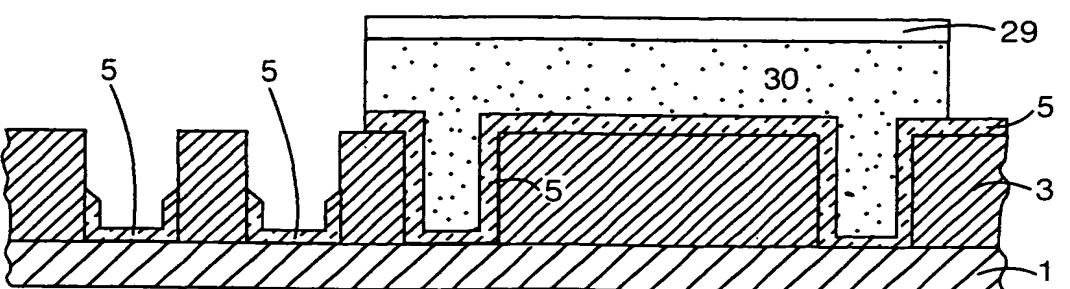


Fig. 17

This Page Blank (uspto)